

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-045375

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H05B 41/24  
H02M 7/48  
H02M 7/537

(21)Application number : 05-190662

(71)Applicant : TOSHIBA LIGHTING & TECHNOL  
CORP

(22)Date of filing : 30.07.1993

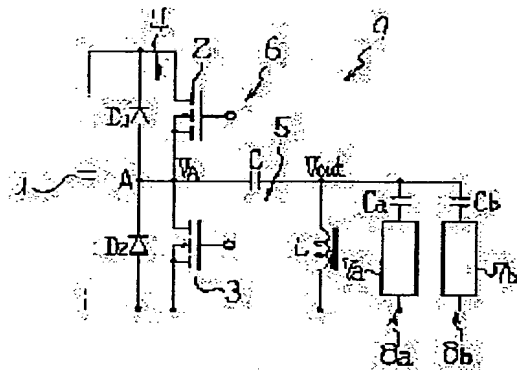
(72)Inventor : KOSA KIYOTERU  
NAKAYA FUMINORI

## (54) DISCHARGE LAMP LIGHTING UNIT AND ILLUMINATOR USING THIS

## (57)Abstract:

PURPOSE: To reduce the reactive current contained in a resonance current and downsize an inductor, in an object equipped with an inverter circuit of LC series resonance type using a ballast capacitor.

CONSTITUTION: For a discharge lamp lighting unit, a half bridge circuit 4 is made of a pair of switching elements 2 and 3 connected to a DC power supply 1, and load circuits 8a and 8b, which have capacitors Ca and Cg as impedance through an LC series resonance circuit 5, are connected to the middle junction A between these switching elements 2 and 3 in a pair. And, an inductor L is connected in parallel to the former stage of the load circuits 8a and 8b so as to make it have inductive property, and the reactive currents by phase difference are reduced by offsetting the capacitive property on the side of load circuits 8a and 8b.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 7 - 4 5 3 7 5

(43)公開日 平成7年(1995)2月14日

| (51)Int. Cl. <sup>6</sup> | 識別記号  | 庁内整理番号     | F I | 技術表示箇所 |
|---------------------------|-------|------------|-----|--------|
| H 0 5 B                   | 41/24 | B 9249-3 K |     |        |
|                           |       | L 9249-3 K |     |        |
| H 0 2 M                   | 7/48  | A 9181-5 H |     |        |
|                           | 7/537 | E 9181-5 H |     |        |

審査請求 未請求 請求項の数 4 O L

(全 4 頁)

(21)出願番号 特願平5-190662

(22)出願日 平成5年(1993)7月30日

(71)出願人 000003757

東芝ライテック株式会社  
東京都品川区東品川四丁目3番1号

(72)発明者 甲佐 清輝

東京都港区三田一丁目4番28号 東芝ライ  
テック株式会社内

(72)発明者 仲矢 文則

東京都港区三田一丁目4番28号 東芝ライ  
テック株式会社内

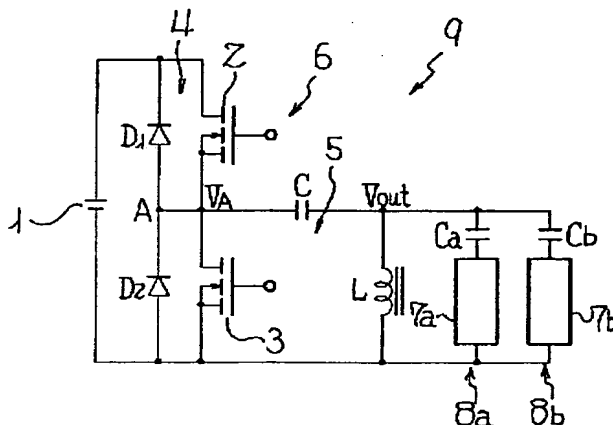
(74)代理人 弁理士 柏木 明 (外1名)

(54)【発明の名称】放電灯点灯装置及びこれを用いた照明装置

(57)【要約】

【目的】 バラストコンデンサを使用したLC直列共振型のインバータ回路を備えたものにおいて、共振電流中に含まれる無効電流を減らし、インダクタを小型化すること。

【構成】 直流電源1に接続された一対のスイッチング素子2、3によりハーフブリッジ回路4を形成し、これらの一対のスイッチング素子2、3の接続中点AにLC直列共振回路5を介してコンデンサCa、Cbをインピーダンスに持つ負荷回路8a、8bを接続した放電灯点灯装置において、負荷回路8a、8bの前段にインダクタLを並列接続して誘導性を持たせ、負荷回路8a、8b側の容量性を相殺して位相差による無効電流を減少させるようにした。



1

## 【特許請求の範囲】

【請求項 1】 直流電源に接続された一対のスイッチング素子によりハーフブリッジ回路を形成し、これらの一対のスイッチング素子の接続中点に LC 直列共振回路を介してコンデンサをインピーダンスに持つ負荷回路を接続した放電灯点灯装置において、前記負荷回路の前段にインダクタを並列接続したことを特徴とする放電灯点灯装置。

【請求項 2】 LC 共振回路を形成する共振コンデンサを一対のスイッチング素子の接続中点に直列に接続し、LC 共振回路を形成する共振インダクタ自身を負荷回路に並列なインダクタとしたことを特徴とする請求項 1 記載の放電灯点灯装置。

【請求項 3】 負荷回路に並列に接続されて LC 共振回路を形成する共振コンデンサに並列接続されたインダクタとしたことを特徴とする請求項 1 記載の放電灯点灯装置。

【請求項 4】 器具本体と、この器具本体に装着された放電灯と、放電灯を点灯させる請求項 1、2 又は 3 記載の放電灯点灯装置とよりなることを特徴とする照明装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、バラストコンデンサを使用した LC 直列共振型のインバータ回路を備えた放電灯点灯装置及びこれを用いた照明装置に関する。

## 【0002】

【従来の技術】 従来、この種の放電灯点灯装置としては、図 6 に示すようなものがある。即ち、直流電源 1 に対して一対のスイッチング素子、例えば、電界効果型トランジスタ (FET) 2、3 を各々に並列なダイオード  $D_1$ 、 $D_2$  とともに接続してハーフブリッジ回路 4 を形成し、これらの FET 2、3 の接続中点 A に共振インダクタ L と共振コンデンサ C とによる LC 直列共振回路 5 を接続してインバータ回路 6 を形成し、共振コンデンサ C の両端に、各々バラストコンデンサ Ca、Cb を直列に有する放電灯 7a、7b による負荷回路 8a、8b を並列に接続したものである。

【0003】 このような構成において、交互にオン・オフする FET 2、3 の内、例えば FET 3 のオン・オフスイッチングに伴い A 点に生ずる図 7 (a) に示すような矩形波の出力電圧  $V_A$  を LC 直列共振回路 5 により共振させて正弦波状の出力電圧とし、これを各々のバラストコンデンサ Ca、Cb により限流して放電灯 7a、7b を点灯させるものである。

## 【0004】

【発明が解決しようとする課題】 ところが、図 6 に示すような回路構成の場合、共振インダクタ L には、共振用電流  $I_c$  とランプ電流  $I_L$  との和なるチョーク電流  $I_{CH}$  が流れる。このチョーク電流  $I_{CH}$  は図 7 中に示すよう

2

に、FET 3 のオン動作に伴うスイッチング電流  $I_{sw}$  のタイミングに対応したものとなる。つまり、出力電圧  $V_A$  に対して位相差を持つチョーク電流  $I_{CH}$  となり、位相差の分だけ、無効電流が増え、スイッチング電流  $I_{sw}$  のピーク値が高いものになってしまう。このようなチョーク電流  $I_{CH}$  が大きい場合、FET 2、3 としてグレードの高い素子を使用しなくてはならない。特に、スイッチング素子にパワー FET を使用した場合には、これらの素子のオン抵抗により無視できないロスが生ずるものになってしまう。ここに、チョーク電流  $I_{CH}$  に対応するチョーク電圧  $v_{CH}(t)$  で考えると、このチョーク電圧  $v_{CH}(t)$  は共振コンデンサ C の両端の電圧 (負荷電圧) を  $V_c$  とした時、 $\sqrt{(V_A^2 - V_c^2) + L \cdot di/dt} = v_{CH}(t)$  で決まるものとなる。よって、必要とする負荷電圧が高い程、共振インダクタ L の寸法が大きなものになってしまう。

## 【0005】

【課題を解決するための手段】 請求項 1 記載の発明では、直流電源に接続された一対のスイッチング素子によりハーフブリッジ回路を形成し、これらの一対のスイッチング素子の接続中点に LC 直列共振回路を介してコンデンサをインピーダンスに持つ負荷回路を接続した放電灯点灯装置において、前記負荷回路の前段にインダクタを並列接続した。

【0006】 請求項 2 記載の発明では、LC 共振回路を形成する共振コンデンサを一対のスイッチング素子の接続中点に直列に接続し、LC 共振回路を形成する共振インダクタ自身を負荷回路に並列なインダクタとした。

【0007】 請求項 3 記載の発明では、負荷回路に並列に接続されて LC 共振回路を形成する共振コンデンサに並列接続されたインダクタとした。

【0008】 請求項 4 記載の発明では、器具本体と、この器具本体に装着された放電灯と、放電灯を点灯させる請求項 1、2 又は 3 記載の放電灯点灯装置とよりなる照明装置とした。

## 【0009】

【作用】 請求項 1 記載の発明においては、コンデンサをインピーダンスに持ち容量性を示す負荷回路に対して、インダクタが並列に接続されて誘導性を持つため、負荷側に生ずる位相差が減少して無効電流が減るため、共振インダクタに流れる電流も減り、小型のもので済むことになる。スイッチング素子側で見れば、そのオン抵抗によるスイッチングロスが減ることになる。このためにも、請求項 2 記載の発明においては、LC 直列共振回路の共振インダクタと共振コンデンサとを互に入れればよく、請求項 3 記載の発明においては、従来の LC 直列共振回路の出力段側にインダクタを付加すればよく、簡単なものとなる。

【0010】 請求項 4 記載の発明においては、このような放電灯点灯装置を用いるので、全体としてもより小型

な照明装置となる。

#### 【0011】

【実施例】請求項1, 2記載の発明の一実施例を図1ないし図3に基づいて説明する。図6及び図7で示した部分と同一部分は同一符号を用いて示す（以下の実施例でも同様とする）。本実施例は、LC直列共振回路5を形成する共振インダクタLと共振コンデンサCとの配置を入替えたものである。即ち、バラストコンデンサCa, Cbが直列に接続された負荷回路8a, 8b側から見れば、その前段に、インダクタとしてLC直列共振回路5中の共振インダクタLが並列接続された構成とされている。

【0012】このような構成において、バラストコンデンサCa, CbをCbとし、放電灯7a, 7bを抵抗Rとして、LC直列共振回路5以下を等価回路で示せば、図2のようになる。そして、共振コンデンサCに流れる電流をi、共振インダクタLに流れる電流を $i_1$ 、バラストコンデンサCbと抵抗Rとの直列回路に流れる電流を $i_2$ とすると、 $i = \sqrt{i_1^2 + i_2^2}$ で示されるものとなり、共振電流中に含まれる無効電流が減少する。これは、バラストコンデンサCa, Cbをインピーダンスとして持ち容量性（C性）を示す負荷回路8a, 8bに対して、並列な共振インダクタLが誘導性（L性）を示すことにより、位相差が相殺されるためである。このように共振電流中に含まれる無効電流が減るため、FET2, 3のスイッチングに伴うスイッチング電流のピーク値を抑制し得るものとなる。つまり、FET2, 3のオン抵抗によるロスが軽減される。

【0013】また、共振インダクタLに流れる電流 $I_{ch}$ （ $=i_1$ ）を考えると、負荷回路8a, 8bに対して並列に接続されているとともに、出力電圧 $V_A$ に対する位相差が小さいため、図3に示すような電流波形となる。ここに、本実施例の場合、共振インダクタLの両端に生ずる出力電圧 $V_{out}$ を基準として所定の負荷電圧を満足するように回路設計すればよいが、この共振インダクタLにはランプ電流 $i_2$ が流れないため、ランプ電流に伴う損失分がないので、共振インダクタLの寸法が大きくなることはない。よって、負荷が大きい程、有効な回路となる。

【0014】つづいて、請求項1, 3記載の発明の一実施例を図4により説明する。本実施例は、図6に示した回路構成において、共振コンデンサCと負荷回路8a, 8bとの間にインダクタL<sub>1</sub>を並列接続して設けたものである。

【0015】本実施例による場合も、負荷回路8a, 8bの示す容量性による位相差が、インダクタL<sub>1</sub>の誘導性により相殺されるものとなり、共振電流に含まれる無効電流が減少するものとなる。よって、FET2, 3のオン抵抗によるロスが減り、スイッチングに伴うスイッチング電流 $I_{sw}$ のピーク値を抑制できる。この結果、L

C直列共振回路5用の共振インダクタLに不要な電流が流れることがなく、この共振インダクタLを小型化し得ることになる。

【0016】さらに、請求項4記載の発明の一実施例を図5により説明する。本実施例は、図1又は図2に示したような放電灯点灯装置9を、2本の放電灯7a, 7bを装着する器具本体10中の制御板に実装させて、照明装置を構成したものである。上述したようにインダクタを小型化し得る放電灯点灯装置9を実装しているので、照明装置としても、小型化を図り得るものとなる。

#### 【0017】

【発明の効果】請求項1記載の発明によれば、直流電源に接続された一対のスイッチング素子によりハーフブリッジ回路を形成し、これらの一対のスイッチング素子の接続中点にLC直列共振回路を介してコンデンサをインピーダンスに持つ負荷回路を接続した放電灯点灯装置において、前記負荷回路の前段にインダクタを並列接続したので、コンデンサをインピーダンスに持ち容量性を示す負荷回路に対して、インダクタが並列に接続されて誘導性を持つため、負荷側に生ずる位相差が減少して無効電流が減るものとなり、よって、共振インダクタに流れる電流も減り、小型のもので済むことになり、同時に、スイッチング素子側でのオン抵抗によるスイッチングロスも減ることになり、大きな負荷に対して効果的なものとなることができる。このためにも、請求項2記載の発明によれば、LC直列共振回路の共振インダクタと共振コンデンサとを入替えればよく、請求項3記載の発明によれば、従来のLC直列共振回路の出力段側にインダクタを付加すればよく、簡単に実現できる。

【0018】請求項4記載の発明によれば、このような放電灯点灯装置を用いるので、全体としてもより小型な照明装置とすることができる。

#### 【図面の簡単な説明】

【図1】請求項1, 2記載の発明の一実施例を示す回路図である。

【図2】その一部の等価回路図である。

【図3】動作を説明するための波形図である。

【図4】請求項1, 3記載の発明の一実施例を示す回路図である。

【図5】請求項4記載の発明の一実施例を示す外観斜視図である。

【図6】従来例を示す回路図である。

【図7】動作を説明するための波形図である。

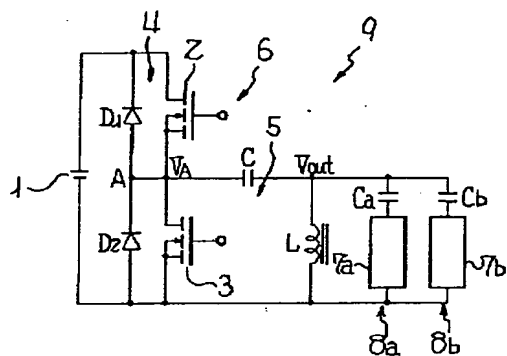
#### 【符号の説明】

- |        |           |
|--------|-----------|
| 1      | 直流電源      |
| 2, 3   | スイッチング素子  |
| 4      | ハーフブリッジ回路 |
| 5      | LC直列共振回路  |
| 7a, 7b | 放電灯       |
| 8a, 8b | 負荷回路      |

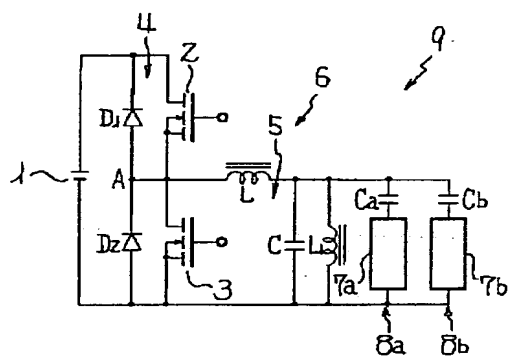
5  
9 放電灯点灯装置  
10 器具本体  
C 共振コンデンサ

6  
L 共振インダクタ兼インダクタ  
L<sub>1</sub> インダクタ  
C<sub>a</sub>, C<sub>b</sub> コンデンサ

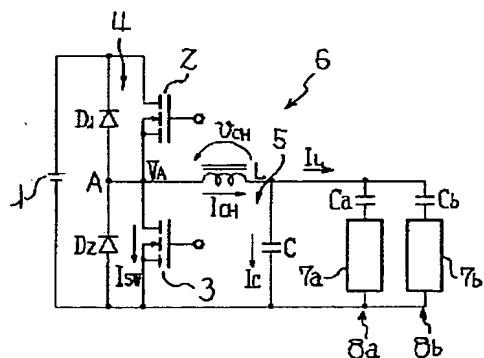
【図1】



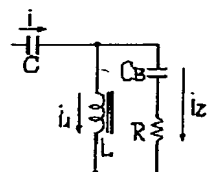
【図4】



【図6】



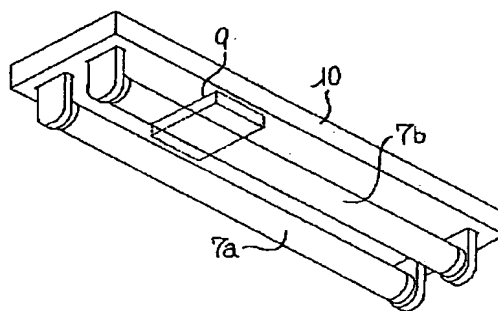
【図2】



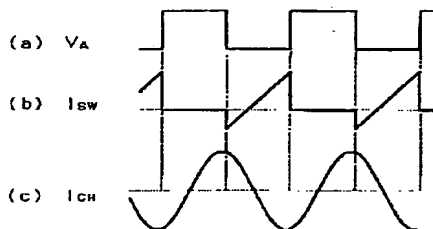
【図3】



【図5】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**